

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Semiconductor light emitting device.

Patent Number: ☐ EP0631356, A3, B1
Publication date: 1994-12-28
Inventor(s): SHAKUDA YUKIO (JP)
Applicant(s): ROHM CO LTD (JP)
Requested Patent: ☐ JP6350204
Application Number: EP19940109047 19940613
Priority Number(s): JP19930142224 19930614
IPC Classification: H01S3/19; H01L33/00
EC Classification: H01L33/00C4C2B, H01L33/00G4B, H01L33/00C3D, H01S5/042C
Equivalents: DE69420202D, DE69420202T, JP3318391B2, ☐ US5521396
Cited Documents: US5105432; FR2696278; EP0574947; GB2286722; US5373521

Abstract

In a light emitting device made of a group II-VI semiconductor of ZnCdSSe or MgZnCdSSe, to facilitate the movement of electrons or holes from a GaAs substrate (1, 21) to a group II-VI semiconductor film (4, 24) and to flow the current at a low voltage, a ZnSe-AlGaAs super lattice layer (3, 23) is formed between the group II-VI semiconductor film (4, 24) and the GaAs substrate (1, 21) so that the energy band from the substrate (1, 21) to the group II-VI semiconductor film (4, 24) rises in steps or gradually. In an device where an N-type semiconductor layer (12) of the group II-VI semiconductor film (4) is arranged on the side of the substrate (1), P-type semiconductor films (35, 36, 37) which raise the energy band from the electrode (5) to the P-type semiconductor layer (13) in steps is formed between the electrode (5) and the P-type semiconductor layer (13)



which is the top layer of the group II-VI semiconductor film (4).

Data supplied from the esp@cenet database - I2

(11)特許出願公開番号

特開平6-350204

(43)公開日 平成6年(1994)12月22日

(51) Int.Cl. ¹	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 S 3/18				
C 3 0 B 29/68		8216-4G		
H 0 1 L 21/12				
33/00	A	7376-4M		

審査請求 未請求 請求項の数7 OL (全 11 頁)

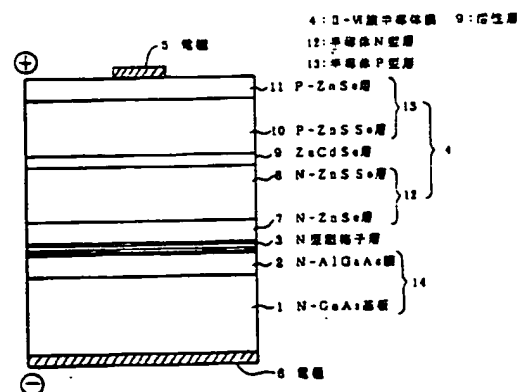
(21)出願番号	特願平5-142224	(71)出願人	000116024 ローム株式会社 京都府京都市右京区西院清崎町21番地
(22)出願日	平成5年(1993)6月14日	(72)発明者	尺田 幸男 京都市右京区西院清崎町21番地 ローム株式会社内
		(74)代理人	弁理士 佐野 静夫

(54) 【発明の名称】 半導体発光装置

(57) 【要約】

【目的】 GaAs基板またはIII-V族半導体膜と、II-VI族半導体膜との間において、小さな電圧で必要な電流が流れるようにして、電力消費及び温度特性の改善を図る

【構成】 N型GaAs基板1上に成長したN型AlGaAs膜2上にN型ZnSe-AlGaAs超格子層3を作り、このN型超格子層3上にPN接合構造のZnCdSse系のII-VI族半導体膜4を成長し、前記N型GaAs基板1とII-VI族半導体膜4とに形成した電極5、6間に順方向バイアスを印加したとき、N型AlGaAs膜2とII-VI族半導体膜4間にN型超格子層3による中間レベルのエネルギバンドを介在させて、エネルギーレベルがIII-V族N型半導体層14からII-VI族半導体膜4へ順次段階的に高くなるように構成し、エネルギー障壁の高さに対して指数関数的に減少する電圧／電流特性を利用して、低電圧で所要の電流が得られるようにしたもの。



【特許請求の範囲】

【請求項1】 半導体N型層と半導体P型層とを活性層を挟んで積層状に配してなる半導体膜を、GaAs基板に直接、または該GaAs基板上に成長した該GaAs基板と同一導電型のIII-V族半導体膜上に成長し、さらに前記半導体膜とGaAs基板の互いに対向する外表面にそれぞれ電極を形成した半導体発光装置において、前記半導体膜をZnCdSSe系またはMgZnCdSSe系のII-VI族半導体により形成するとともに、該II-VI族半導体膜と前記GaAs基板またはIII-V族半導体膜との間に、前記GaAs基板と同一導電型のZnSeとAlGaAsとにより構成されるZnSe-AlGaAs超格子層を介在させたことを特徴とする半導体発光装置。

【請求項2】 III-V族半導体膜はGaAs基板上に成長したAlGaAsにより形成されている請求項1の半導体発光装置。

【請求項3】 ZnSe-AlGaAs超格子層は、ZnSeとAlGaAsとを一定の膜厚比で交互に積層状に成長させたものである請求項1の半導体発光装置。

【請求項4】 ZnSe-AlGaAs超格子層は、II-VI族半導体膜に近づくほどZnSeの膜厚が大きく、GaAs基板またはIII-V族半導体膜に近づくほどAlGaAsの膜厚が大きくなるように膜厚比を連続的に変化させて交互に積層状に成長させたものである請求項1の半導体発光装置。

【請求項5】 II-VI族半導体膜はN型GaAs基板または該GaAs基板上に成長したN型III-V族半導体膜上に形成されたPN接合構造を備えており、該II-VI族半導体膜最上層に成長した半導体P型層と電極との間に、P型GaAs膜またはP型InGaAs膜が形成されている請求項1の半導体発光装置。

【請求項6】 II-VI族半導体膜はN型GaAs基板または該GaAs基板上に成長したN型III-V族半導体膜上に形成されたPN接合構造を備えており、該II-VI族半導体膜最上層に成長した半導体P型層と電極との間に、P型GaAs膜とP型InGaAs膜とがその順序で積層状に形成されている請求項1の半導体発光装置。

【請求項7】 II-VI族半導体膜はN型GaAs基板または該GaAs基板上に成長したN型III-V族半導体膜上に形成されたPN接合構造を備えており、該II-VI族半導体膜最上層に成長した半導体P型層と電極との間に、P型AlGaAs膜とP型GaAs膜とがその順序で積層状に形成されている請求項1の半導体発光装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体レーザ装置、各種電子機器類のディスプレイにおける表示パネル中の要素である青色発光部分あるいは、表示装置に単体で用いられる青色発光素子（LED）、その他CDプレーヤやLDプレーヤ中の信号読み取り、書き込み発光素子、バーコードリーダの発光素子等として使用される半導体発光装置に関するものである。

【0002】

【従来の技術】図19はこの種の半導体発光装置の基本的構成と、それに対応するエネルギーバンドの状態を模式的に示している。一般に、半導体発光装置はN型半導体基板Aの表面に、半導体N型層B1、活性層B2、半導体P型層B3をその順序でMBE（Molecular Beam Epitaxy）成長してなるPN接合構造の半導体膜Bを形成してあり、さらにN型基板Aと、半導体膜最上層の半導体P型層B3とに金属電極E₁、E₂を設けている。

【0003】周知のように上記構成の半導体装置のエネルギーバンド構造では、半導体N型層B₁、半導体P型層B₃のエネルギーレベルが高く、PN接合部である活性層Cがエネルギーレベルの谷間をなす形となるため、電極E₂、E₁間に順方向のバイアス電圧を印加すると、これによって注入されたキャリア、つまり正孔hや電子eがエネルギーレベルの低い活性層Cに閉じ込められて再結合することにより自然光を発する。また、半導体レーザでは励起電流が閾値を越えたとき、活性層Cの平行両端面間で光が共振してレーザ発振が起こる。

【0004】ところで、従来では前述のような青色に発光する半導体発光装置を製作する場合、前記半導体膜BはGaAs基板に直接、または該GaAs基板上に成長した該GaAs基板と同一導電型のIII-V族半導体膜を介して、ZnCdSSe系またはMgZnCdSSe系のII-VI族半導体をニヒド成長させていた。

【0005】図20は上記半導体発光装置の従来例を示している。この図に示された従来装置はN型GaAs基板41上にZnCdSSe系またはMgZnCdSSe系のII-VI族半導体膜42を形成した、いわゆるZnSe系の青色発光半導体レーザである。

【0006】II-VI族半導体膜42はバッファ層であるN型ZnSe層43、クラッド層であるN型ZnSSe層44、活性層であるZnCdSe層45、クラッド層であるP型ZnSe層46及びバッファ層であるP型ZnSe層47をその順序で基板41上にMBE成長させることによりPN接合構造を形成したものであり、このII-VI族半導体膜最上層のP型ZnSe層47上に直接、Au等の金属を蒸着して電極48を形成してある。49は基板41の裏面に形成された電極である。

【0007】

【発明が解決しようとする課題】ところで、上記従来の構成の半導体装置では図21に示したエネルギーバンド構造から明らかなように、III-V族半導体であるN型GaAs基板41と、II-VI族半導体膜42のN型ZnSe層43の間には、エネルギーバンドの可成り大きなバンド不連続が存在しているため、障壁電位ΔVが生じてしまう。なお、図19及び図21における破線矢印は電子eの移動を示している。

【0008】従って、電極48、49間には順方向の電圧を印加しないと、電子eが該障壁電位ΔVを越え

に必要な電流が得られないため、装置の駆動に要する消費電力が大きくなるだけでなく、該装置に数十Aという大電流が流れることから、装置内の電流密度が非常に高くなるため、駆動時の発熱が避けられない等の問題点があった。

【0009】このような問題点は前記従来例とは逆に、P型GaAs基板を用いた場合にも同様に生じ得るものであり、この場合、正孔hがP型GaAs基板とII-VI族半導体膜との間の電位障壁を越えるのに必要な電流が得られるだけの電圧を両電極間に印加する必要があるため、N型GaAs基板を用いた場合と同様に、電力消費及び駆動時における発熱の問題が生じる。

【0010】また、GaAs基板上に、該基板と同一導電型のIII-V族半導体膜を成長させたものについても、該II-V族半導体膜とII-VI族半導体膜間にバンドギャップが存在するため、上記と同様の問題点が生じる。

【0011】本発明は、上記のような問題点を解決するためになされたもので、III-V族半導体膜とII-VI族半導体膜との間の障壁電位を小さくして、両者間における電圧/電流特性を改善し、低い電圧で必要な電流が流れるようにすることにより、消費電力及び発熱量を減少させ、また、半導体発光装置全体の温度特性の改善を図ることを目的とするものである。

【0012】

【課題を解決するための手段】本発明の半導体発光装置は、半導体N型層と半導体P型層とを活性層を挟んで積層状に配してなるPN接合構造の半導体膜を、GaAs基板に直接、または該GaAs基板上に成長した該GaAs基板と同一導電型のIII-V族半導体膜上に成長し、さらに前記半導体膜とGaAs基板の互いに対向する外表面にそれぞれ電極を形成したものを対象としている。

【0013】そして、本発明では上記目的を達成するために、前記半導体膜をZnCdSSe系またはMgZnCdSSe系のII-V族半導体により形成するとともに、該II-V族半導体膜と前記GaAs基板またはIII-V族半導体膜との間に、前記GaAs基板と同一導電型のZnSeとAlGaAsとにより構成されるZnSe-AlGaAs超格子層を介在させている。

【0014】上記構成において、III-V族半導体膜はGaAs基板上にAlGaAs膜を成長させることにより形成することができる。また、ZnSe-AlGaAs超格子層は、ZnSeとAlGaAsとを一定の膜厚比で交互に積層状に成長させるか、あるいはII-V族半導体膜に近づくほどZnSeの膜厚が大きく、GaAs基板またはIII-V族半導体膜に近づくほどAlGaAsの膜厚が大きくなるように膜厚比を連続的に変化させて交互に積層状に成長させることにより形成することができる。

【0015】なお、N型GaAs基板またはIII-V族半導体膜上に成長したN型III-V族半導体膜上にII-V族半導体膜を形成したものでは、該半導体P型層と電極との間に、P型GaAs膜とP型InGaAs膜とのいずれか一方を介在させること

か、あるいはその両方の膜をその順序で積層状に形成する。さらには、P型AlGaAs膜とP型GaAs膜とをその順序で積層状に形成することにより、II-V族半導体膜と電極間に存在するショットキー型のエネルギー障壁を段階状のパターンとするようにしてもよい。

【0016】

【作用】上記構成においては、ZnSe-AlGaAs超格子層のエネルギーレベルは、GaAs基板またはIII-V族半導体膜のエネルギーレベルとII-V族半導体膜のエネルギーレベルとの中間に位置している。一般に、正負電極間のPN接合構造を流れる電流量はエネルギー障壁の高さに対して指数関数的に減少する。

【0017】従って、従来構成のように、GaAs基板またはIII-V族半導体膜とII-V族半導体膜との間に単一の大きなエネルギー障壁があるよりも、上記のように中間のエネルギーレベルが存在していると、電流が流れやすくなるため、同一電位差のエネルギー障壁であっても、電子または正孔がGaAs基板またはIII-V族半導体膜とII-V族半導体膜との間の障壁電位を越えるのに必要な電流を得るための電圧を、従来に比べて大きく低下させることが可能になる。

【0018】ZnSeとAlGaAsとを一定の膜厚比で交互に積層状に成長させた超格子層を有するものでは、GaAs基板またはIII-V族半導体膜とII-V族半導体膜との間に中間バンドギャップが入ることになる。従って、GaAs基板からII-V族半導体膜に至る間のエネルギーバンドの様子は、段階的に小さい電位障壁が存在する形となるため、バンド不連続が小さくなり、N型基板を用いたもの、あるいはP型基板を用いたもののいずれの場合も、電流が流れやすくなる。

【0019】また、II-V族半導体膜に近づくほどZnSeの膜厚が大きく、GaAs基板またはIII-V族半導体膜に近づくほどAlGaAsの膜厚が大きくなるように膜厚比を連続的に変化させて交互に積層状に成長させた超格子層を有するものでは、エネルギーバンドはGaAs基板またはIII-V族半導体膜とII-V族半導体膜との間で連続的に変化することとなり、両者間のバンド不連続が殆ど存在しなくなるため、更に電流が流れやすくなる。

【0020】N型基板を用いたものにおいて、II-V族半導体膜と電極間に両者の中間レベルのエネルギーバンドをもつP型膜を介在させた場合、エネルギーレベルは電極<P型InGaAs膜<P型GaAs膜<P型AlGaAs膜<II-V族半導体膜の順に高くなる。従って、いずれのP型膜を備えたものにおいても、電極からII-V族半導体膜に至る間のエネルギーバンドの様子は、段階的にレベル差が作られている状態となるため、同一電位差のエネルギー障壁であっても、正孔が電極と半導体P型層との間のエネルギー障壁を越えるのに必要な電流を得るための電圧を従来と比べて大きく低下させることが可能になる。

【0021】

【実施例】以下、本発明を半導体レーザ装置に適用した実施例について図面を参照しながら説明する。図1～図5は本発明の第1実施例を示している。図1は本実施例の構成を模式的に示す断面図である。この図に示す装置は、N型GaAs基板1上に後述するN型AlGaAs膜2、N型ZnSe-AlGaAs超格子層3及びZnCdSe系のIII-V族半導体膜4を成長し、且つ、III-V族半導体膜4の表面とN型GaAs基板1の裏面にAu等の金属からなる対向電極5、6を形成してなる青色発光半導体レーザである。

【0022】なお、本実施例では、GaAs基板に設けられた電極6は全面電極としているが、III-V族半導体膜4上の電極5は一定幅の帯状に形成してある。このような帯状電極5では電流拡散が防止され、電流が効率よく発光に寄与する点で有効であるが、本発明における電極形状は必ずしもこれに限定されるものではない。

【0023】III-V族半導体膜4は、バッファ層であるN型ZnSe層7、クラッド層であるN型ZnSe層8、ZnCdSe層9、クラッド層であるP型ZnSe層10及びバッファ層であるP型ZnSe層11をその順序でMBE成長させたものであって、これによりN型ZnSe層7及びN型ZnSe層8からなる半導体N型層12と、P型ZnSe層10及びP型ZnSe層11からなる半導体P型層13との間に活性層としてのZnCdSe層9が挟み込まれたPN接合構造を備えている。

【0024】N型GaAs基板1及び該基板1上に成長させたN型AlGaAs膜2は共にIII-V族半導体により構成されているので、以下、該N型GaAs基板1及びN型AlGaAs膜2の積層構造をIII-V族N型半導体層14と呼ぶ。図2にIII-V族N型半導体層14とIII-V族半導体膜4間のエネルギーバンドを模式的に示している。図2に示すように、III-V族N型半導体層14とIII-V族半導体膜4間には有意なエネルギーギャップが存在しており、本実施例では該エネルギーギャップを分割するべく、両者14、4間に前述のN型ZnSe-AlGaAs超格子層3を介在させている。

【0025】図3はN型ZnSe-AlGaAs超格子層3の構造を模式的に示している。このN型超格子層3は原子間距離を基準単位とするようなN型ZnSeとN型AlGaAsの極薄膜を交互に積層状に成長させたもので、本実施例ではN型ZnSe膜3aの膜厚Bと、N型AlGaAs膜3bの膜厚Wとの比B:Wが超格子層3の全層に互って一定となるように構成されている。なお、図3における斜線部分はN型ZnSeを、白抜き部分はN型AlGaAsを示す。

【0026】図4は図2におけるIV部を拡大して示している。いま、III-V族N型半導体層14のエネルギーレベルを v_1 とし、III-V族半導体膜4のエネルギーレベルを v_2 とすると、N型超格子層3は微視的に観察すれば、N型ZnSe膜3aの膜厚Bに対応する部分ではIII-V族半導体膜4のエネルギーレベル v_2 と同レベルとなり、N型AlGaAs膜3bの膜厚Wに対応する部分ではIII-V族N型半導体

層14のエネルギーレベル v_1 と同レベルとなる。

【0027】ところが巨視的には図2に示すように、N型超格子層3のエネルギーレベルは両方のエネルギーレベル v_1 、 v_2 がその膜厚比に従って平均化されるため、III-V族N型半導体層14とIII-V族半導体膜4との中間レベルとしての機能を有するものとなる。

【0028】しかも、該N型超格子層3はIII-V族N型半導体層14とIII-V族半導体膜4間に介在していることにより、III-V族N型半導体層14からIII-V族半導体膜4までのエネルギーバンド構造は、N型超格子層3による中間バンドギャップが入って、段階的にレベル差が作られている状態となるため、障壁電位は2段階に分割された形となってバンド不連続が小さくなる。

【0029】上記構成において、電極5、6間に順方向、つまり電極5から電極6へバイアス電圧を印加すると、電流は電極5からIII-V族半導体膜4へと流れ、該電流によって正孔hが電極5とIII-V族半導体膜4との間のエネルギー障壁を越えて、半導体P型層13から活性層であるZnCdSe層9へと流れ込む。同様に電子eがN型GaAs基板1、N型AlGaAs膜2及びN型超格子層3を経て半導体N型層12からZnCdSe層9へと流れ込む。

【0030】このようにしてキャリアが注入されることにより、エネルギーレベルの低いZnCdSe層9に閉じ込められた電子eと正孔hの再結合が起こり、該ZnCdSe層9から自然光を放出する。さらに、励起電流が閾値を越えると、自然光の放出から誘導放出に移行し、ZnCdSe層9の平行両端面間で光が共振してレーザ発振が起こる。

【0031】図5は電子eがIII-V族N型半導体層14からIII-V族半導体膜4までに存在するエネルギーギャップを乗り越える状態を模式的に示している。この図において、N型AlGaAs膜2とN型超格子層3間の障壁電位を ΔV_1 、N型超格子層3とN型ZnSe層7間の障壁電位を ΔV_2 としたとき、 ΔV_1 と ΔV_2 の和は、図2に示した従来構成のIII-V族基板41とIII-V族半導体膜42間の電位差 ΔV とほぼ等しいが、電極5、6間のP-N接合構造を流れる電流量はエネルギー障壁の高さに対して指数関数的に減少する。

【0032】従って、本実施例のようにN型超格子層3によってエネルギーバンドが2段階に分割されていると電流が流れやすくなるため、同一電位差のエネルギーギャップであっても、電子eがIII-V族N型半導体層14とIII-V族半導体膜4との間の障壁電位を越えるのに必要な電流を得るための電圧は、従来と比べて大きく低下することが可能になる。なお図5中、破線矢印は電子eの流れを示している。

【0033】次に、上記構成の半導体レーザ装置の製造工程の一例を説明すると、まず基板温度が350℃以下の所定温度値に設定されたN型GaAs基板1上に、N型AlGaAs膜2をMBE成長した上で、該N型AlGaAs膜2上にN型ZnSe-AlGaAs超格子層3を作る。次いで、N型

Se-AlGaAs超格子層 3 上にZnCdSSe系のII-VI族半導体膜 4 をMBE成長させることにより、N型ZnSe層 7、N型ZnSSe層 8、ZnCdSe層 9、P型ZnSSe層 10及びP型ZnSe層 11を積層状に形成する。

【0034】このようにして形成されたP型ZnSe層 11には電極 5となるAu等の金属を蒸着し、さらに不要部分をエッチング等の手法により除去して、該電極 5を帯状に成形する。なお、N型GaAs基板 1の裏面にも電極 6となる全面電極を同様の手法により形成する。

【0035】なお、上記実施例では、II-VI族半導体膜 4はZnCdSSe系II-VI族半導体により構成されているものを示したが、その他、該半導体膜 4をMgZnCdSSe系II-VI族半導体により構成しても、同様の作用、効果を得ることができる。また、N型GaAs基板 1上にN型AlGaAs層 2を成長させた上で、該N型AlGaAs層 2にN型超格子層 3を成長させたものとしているが、その他、N型GaAs基板 1上に直接、N型超格子層 3を成長させるようにしてもよい。

【0036】図6～図10は本発明の第2実施例を示している。これらの図に示した本実施例の半導体レーザ装置は、P型GaAs基板 21上にPN接合構造を成長させたものである。即ち、本実施例では図6に示すように、P型GaAs基板 21上にP型AlGaAs膜 22を成長し、該P型AlGaAs膜 22上にP型ZnSe-AlGaAs超格子層 23を作った上で、ZnCdSSe系のII-VI族半導体膜 24を成長し、さらにII-VI族半導体膜 24の表面とP型GaAs基板 21の裏面にAu等の金属からなる対向電極 25、26を形成している。

【0037】II-VI族半導体膜 22は、バッファ層であるP型ZnSe層 27、クラッド層であるP型ZnSSe層 28、ZnCdSe層 29、クラッド層であるN型ZnSSe層 30及びバッファ層であるN型ZnSe層 31をその順序でMBE成長させたものであり、前記第1実施例のものと同様に、PN接合部に活性層としてのZnCdSe層 29を挟み込んだ構成を備えている。

【0038】図7にP型GaAs基板 21及びP型AlGaAs膜 22とにより構成されるIII-V族P型半導体層 34と、II-VI族半導体膜 24間のエネルギーバンドの状態を模式的に示しており、この図に示すように前記両者 34、24間に前述のP型ZnSe-AlGaAs超格子層 23を介在させてある。

【0039】図8はP型ZnSe-AlGaAs超格子層 23の構造を模式的に示している。このP型超格子層 23も前記第1実施例と同様に、P型ZnSeとP型AlGaAsの極薄膜を交互に積層状に成長させたもので、本実施例では、II-VI族半導体膜 24に近づくほどP型ZnSe膜 23aの膜厚が大きくなり、III-V族半導体層 34に近づくほどP型AlGaAs膜 23bの膜厚が大きくなるように膜厚比を連続的に変化させてある。なお、図8における斜線部分はP型ZnSeを、白抜き部分はP型AlGaAsを示す。

【0040】図9は図7におけるIX部を拡大して示している。この図に示すように、III-V族P型半導体層 34のエネルギーレベルを $v1$ とし、II-VI族半導体膜 24のエネルギーレベルを $v2$ とすると、P型超格子層 23は微視的に観察すれば、P型ZnSe膜 23aの膜厚に対応する部分ではII-VI族半導体層 34のエネルギーレベル $v2$ と同レベルとなり、P型AlGaAs膜 23bの膜厚に対応する部分ではIII-V族P型半導体層 34のエネルギーレベル $v1$ と同レベルとなる。

【0041】この場合、P型超格子層 23におけるII-VI族半導体膜 24に近い点pと、III-V族半導体層 34に近い点qを考えると、点pにおいてはP型ZnSe膜 23aの膜厚 B_1 がP型AlGaAs膜 23bの膜厚 W_1 よりも大きくなり、逆に、点qにおいてはP型AlGaAs膜 23bの膜厚 W_2 がP型ZnSe膜 23aの膜厚 B_2 よりも大きくなる。このように両者 23a、23bの膜厚比が連続的に変化することにより巨視的には、図7に示すように、P型超格子層 23のエネルギーバンドは両方のエネルギーバンド間を繋ぐ傾斜状パターンとなる。

【0042】しかも、該P型超格子層 23はIII-V族P型半導体層 34とII-VI族半導体膜 24間に位置しているため、III-V族P型半導体層 34からII-VI族半導体膜 24までのエネルギーバンド構造は、P型超格子層 23のエネルギーバンドの介入により、段差、つまりバンド不連続がなくなる。

【0043】上記構成においては、P型GaAs基板 21側の電極 26からN型ZnSe層 31側の電極 25への電圧印加が順方向となるが、該電圧印加時、電流はP型GaAs基板 21からII-VI族半導体膜 24へと流れ、該電流によって正孔hがIII-V族P型半導体層 34とII-VI族半導体膜 24との間のエネルギー障壁を越えて、半導体P型層 32からZnCdSe層 29へと流れ込み、同様に電子eはI-VI族半導体N型層 33からZnCdSe層 29へと流れ込む。

【0044】図10は正孔hがIII-V族半導体層 34からII-VI族半導体膜 24までに存在するエネルギーギャップを乗り越える状態を模式的に示している。この図に示すように、P型超格子層 23のバンドパターンはP型AlGaAs層 22とP型ZnSe層 27間の電位差 ΔV 間において、障壁電位を生じないので、電子eがIII-V族P型半導体層 34とII-VI族半導体膜 24との間の障壁電位 ΔV を越えるのに必要な電流を得るための電圧を低下させることが可能になる。なお、図10中、実線矢印は正孔hの流れを示している。

【0045】なお、上記第1実施例の超格子層 23と、第2実施例の超格子層 23とでは、ZnSe膜とAlGaAs膜の膜厚比が相違している点で構成が異なっているが、両者におけるZnSe膜とAlGaAs膜との導電型を各実施例装置に対応させることにより、いずれの超格子層を適用しても支えない。

【0046】ところで、前掲の図1に示すように、

1 実施例装置では、P型ZnSe層11上に金属電極5を直接形成しているが、該ZnSe系P型半導体は金属と直接接合された状態では、両者11、5間にショットキー型の電圧/電流特性が生じることが知られている。

【0047】即ち、図11に示したエネルギーバンド構造から明らかなように、電極5、6間に順方向バイアスを印加すると、II-VI族半導体膜4の表層をなすP型ZnSe層11と金属電極5との間に、急峻なショットキー型のエネルギー障壁 $\Delta V'$ が生じるため、相当な高電圧を印加しないと、正孔hが該エネルギー障壁 $\Delta V'$ を越えるのに必要な電流が得られない。

【0048】図12～図14は上記のような不都合を解決するためになされた本発明の第3実施例を示している。なお、本実施例で前記第1実施例と構成及び作用が共通する部分には共通の符号を付して、重複を避けるためにその説明を省略する。本実施例では、II-VI族半導体膜最上層のP型ZnSe層11上に、MBE成長させたP型GaAs膜35を形成してあり、その上で該P型GaAs膜35上にAu等の金属を蒸着して電極5を形成している。

【0049】上記構成において、電極5、6間に順方向バイアスを印加すると、電流は電極5及びP型GaAs膜35を経てII-VI族半導体膜4へと流れ、該電流によって正孔hが電極5とP型ZnSe層11との間のエネルギー障壁を越えて、半導体P型層13から活性層であるZnCdSe層9へと流れ込む。

【0050】図13は本実施例における電極5からP型ZnSe層11までのエネルギーバンドを示している。この図に示すように各層のエネルギーレベルは、電極5<P型GaAs膜35<P型ZnSe層11の順序で高くなっている。従って、電極5からP型ZnSe層11に至る間のエネルギー障壁はP型GaAs膜35が介在することにより、 $\Delta V_1'$ 、 $\Delta V_2'$ の2段階に分割された形となる。

【0051】そして、これら $\Delta V_1'$ 、 $\Delta V_2'$ の和は、図11に示した第1実施例における電極5とP型ZnSe層11間の電位差 $\Delta V'$ とほぼ等しいものであるが、この場合も、電極5、6間のPN接合構造を流れる電流量はエネルギー障壁の高さに対して指数関数的に減少するので、正孔hが電極5とP型ZnSe層11間のエネルギー障壁を越えるのに必要な電流を得るための電圧を大きく低下させることができる。

【0052】図14は本実施例及び従来例の電圧/電流特性を示している。この図から明らかなように、本実施例では従来例と比較して、同一電位差のエネルギー障壁であっても低電圧で必要な電流を得ることができる。従って、本実施例では、III-V族N型半導体層14とII-VI族半導体膜4間にN型超格子層3を介在させることによって、該III-V族N型半導体層14とII-VI族半導体膜4間の電位障壁を電子eが乗り越えやすく構成していることと相俟って、さらに低電圧で装置を動作させることができる。

【0053】なお、P型GaAs膜35に代えて、該P型GaAs膜35と同様にエネルギー障壁のレベルがP型ZnSe層11と金属電極5の中間レベルとなるP型InGaAs膜を用いても同様の作用、効果を得ることができる。

【0054】図15及び図16は本発明の第4実施例を示している。なお、本実施例で前記第1、第3実施例と構成及び作用が共通する部分には共通の符号を付して、重複を避けるためにその説明を省略する。本実施例では、II-VI族半導体膜最上層のP型ZnSe層11上に、MBE成長させたP型GaAs膜35を形成し、さらに該P型GaAs膜35上に、同様にMBE成長させたP型InGaAs膜36を形成してあり、その上で該P型InGaAs膜36上にAu等の金属を蒸着して電極5を形成している。

【0055】上記構成において、電極5、6間に順方向バイアスを印加すると、電流は電極5、P型InGaAs膜36及びP型GaAs膜35を経てII-VI族半導体膜4へと流れ、該電流によって正孔hが電極5とII-VI族半導体膜4との間のエネルギー障壁を越えて、半導体P型層13から活性層であるZnCdSe層9へと流れ込む。

【0056】図16は本実施例における電極5からP型ZnSe層11までのエネルギーバンドを示している。この図に示すように各層のエネルギーレベルは、電極5<P型InGaAs膜36<P型GaAs膜35<P型ZnSe層11の順に高くなっている。従って、電極5からP型ZnSe層11に至る間のエネルギー障壁はP型InGaAs膜36及びP型GaAs膜35が介在することにより、電位差 $\Delta V_a'$ 、 $\Delta V_b'$ 、 $\Delta V_c'$ の3段階に分割された形となるので、前記第3実施例よりも更に電流が流れやすくなる。

【0057】そして、これらの電位差 $\Delta V_a'$ 、 $\Delta V_b'$ 、 $\Delta V_c'$ の和は、図11に示した第1実施例における電極5とP型ZnSe層11間の電位差 $\Delta V'$ とほぼ等しいものであるが、この場合も、電極5、6間のPN接合構造を流れる電流量はエネルギー障壁の高さに対して指数関数的に減少するので、正孔hが電極5とP型ZnSe層11間のエネルギー障壁を越えるのに必要な電流を得るための電圧を大きく低下させることができる。

【0058】このように本実施例においても、上記第3実施例と同様に、III-V族N型半導体層14とII-VI族半導体膜4間にN型超格子層3を介在させたことによって、該III-V族N型半導体層14とII-VI族半導体膜4間の電位障壁を電子eが乗り越えやすく構成していることと相俟って、より一層、低電圧で装置を動作させることができる。

【0059】図17及び図18は本発明の第5実施例を示している。なお、本実施例で前記第1、第3及び第4実施例と構成及び作用が共通する部分には共通の符号を付して、重複を避けるためにその説明を省略する。本実施例では、II-VI族半導体膜最上層のP型ZnSe層11上に、MBE成長させたP型AlGaAs膜37を形成し、さらに該P型AlGaAs膜37上に、同様にMBE成長させたP

型GaAs膜35を形成してあり、その上で該P型GaAs膜35上にAu等の金属を蒸して電極5を形成している。

【0060】上記構成において、電極5、6間に順方向バイアスを印加すると、電流は電極5、P型GaAs膜35及びP型GaAs膜37を経てII-VI族半導体膜4へと流れ、該電流によって正孔hが電極5とII-VI族半導体膜4との間のエネルギー障壁を越えて、半導体P型層13から活性層であるZnCdSe層9へと流れ込む。

【0061】図16は本実施例における電極5からP型ZnSe層11までのエネルギーバンドを示している。この図に示すように各層のエネルギーレベルは、電極5<P型GaAs膜35<P型AlGaAs膜37<P型ZnSe層11の順に高くなっている。従って、電極5からP型ZnSe層11に至る間のエネルギー障壁はP型GaAs膜35及びP型AlGaAs膜37が介在することにより、電位差 $\Delta V_d'$ 、 $\Delta V_e'$ 、 $\Delta V_f'$ の3段階に分割された形となるので、前記第4実施例と同様に電流が流れやすくなる。

【0062】そして、これら $\Delta V_d'$ 、 $\Delta V_e'$ 、 $\Delta V_f'$ の和は、図11に示した第1実施例における電極5とP型ZnSe層11間の電位差 $\Delta V'$ とほぼ等しいものであるが、この場合も、前記第3及び第4実施例と同様に、電極5、6間のPN接合構造を流れる電流量はエネルギー障壁の高さに対して指数関数的に減少するので、正孔hが電極5とP型ZnSe層11間のエネルギー障壁を越えるのに必要な電流を得るための電圧を大きく低下させることができる。

【0063】従って、本実施例においても、III-V族N型半導体層14とII-VI族半導体膜4間にN型超格子層3を介在させたことによって、該III-V族N型半導体層14とII-VI族半導体膜4間の電位障壁を電子eが乗り越えやすく構成していることと相俟って、より一層、低電圧で装置を動作させることができる。

【0064】

【発明の効果】以上説明したように本発明によるときは、PN接合構造を有するZnCdSSe系またはMgZnCdSSe系のII-VI族半導体膜を、GaAs基板に直接、または該GaAs基板と同一導電型のIII-V族半導体膜上に成長し、該II-VI族半導体膜とGaAs基板またはIII-V族半導体膜との間に、両者の中間のエネルギーレベルとなるZnSe-AlGaAs超格子層を介在させたものとしたので、単一の大きなエネルギー障壁を有する従来構成のものと比較してN型基板を用いたもの、あるいはP型基板を用いたもののいずれの場合も、電流が流れやすくなる。

【0065】そして、請求項3のZnSe-AlGaAs超格子層の構成、即ちZnSeとAlGaAsとを一定の膜厚比で交互に積層状に成長させたものでは、段階的に小さい電位障壁が存在する形となってバンド不連続が小さくなる。

【0066】また、請求項4のZnSe-AlGaAs超格子層の構成、即ちII-VI族半導体膜に近づくほどZnSeの膜厚が大きく、GaAs基板またはIII-V族半導体膜に近づくほど

AlGaAsの膜厚が大きくなるように膜厚比を連続的に変化させて交互に積層状に成長させたものでは、エネルギーバンドはGaAs基板またはIII-V族半導体膜とII-VI族半導体膜との間で連続的に変化することとなり、両者間のバンド不連続が殆ど存在しなくなるため、更に電流が流れやすくなる。

【0067】従って、同一電位差のエネルギー障壁であっても、電子または正孔がGaAs基板またはIII-V族半導体膜とII-VI族半導体膜との間の障壁電位を越えるのに必要な電流を得るための電圧を、従来に比べて大きく低下させることができる。

【0068】また、請求項5〜7のいずれかによるときは、II-VI族半導体膜が、N型GaAs基板または該GaAs基板上に成長したN型III-V族半導体膜上に形成されたPN接合構造を備えたものにおいて、II-VI族半導体膜と電極間に両者の中間レベルのエネルギーバンドをもつP型膜を介在させているので、同一電位差のエネルギー障壁であっても、正孔が電極と半導体P型層との間のエネルギー障壁を越えるのに必要な電流を得るための電圧を従来と比べて大きく低下させることができる。

【0069】このように本発明では、III-V族半導体膜上にII-VI族半導体膜を成長させた半導体発光装置において、両者間に超格子層を介在させることによって、電圧/電流特性が小さな電圧で必要な電流が流れるように改善されるので、消費電力及び発熱量を効果的に抑制することができるので、半導体発光装置全体の温度特性が改善を図ることができ、また、装置の劣化速度も抑えられて、製品寿命も長くなる等の優れた効果を発揮するものとなった。

【0070】また、装置の動作時における発熱が抑制されることによって、III-V族半導体とII-VI族半導体との間の熱膨張係数の差による歪みも緩和することになる。

【図面の簡単な説明】

【図1】 本発明の第1実施例の構成を模式的に示す断面図。

【図2】 そのIII-V族半導体層とII-VI族半導体膜とのエネルギーバンドの状態を模式的に示す特性図

【図3】 N型超格子層を模式的に示す部分拡大図

【図4】 図2におけるIV部を模式的に示す部分拡大図。

【図5】 電子がエネルギーギャップを乗り越える状態を模式的に示す図。

【図6】 本発明の第2実施例の構成を模式的に示す断面図。

【図7】 そのIII-V族半導体層とII-VI族半導体膜とのエネルギーバンドの状態を模式的に示す特性図

【図8】 P型超格子層を模式的に示す部分拡大図

【図9】 図7におけるIX部を模式的に示す部分拡大図。

【図10】 正孔がエネルギーギャップを乗り越える状態を模式的に示す図。

【図11】 電極とII-VI族半導体膜間のエネルギーバンドの状態を模式的に示す特性図。

【図12】 本発明の第3実施例の構成を模式的に示す断面図。

【図13】 第3実施例における正孔がエネルギーギャップを乗り越える状態を模式的に示す図。

【図14】 第3実施例と従来例との電圧/電流特性を比較して示す線図。

【図15】 本発明の第4実施例の構成を模式的に示す断面図。

【図16】 第4実施例における正孔がエネルギーギャップを乗り越える状態を模式的に示す図。

【図17】 本発明の第5実施例の構成を模式的に示す断面図。

【図18】 第5実施例における正孔がエネルギーギャップを乗り越える状態を模式的に示す図。

【図19】 一般的な半導体レーザの構成及びそれに対応するエネルギーバンドの状態を模式的に示す図。

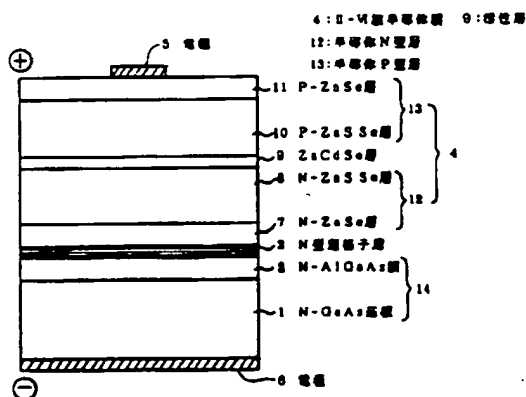
【図20】 従来例の構成を模式的に示す断面図。

【図21】 そのIII-V族基板とII-VI族PN接合層間のエネルギーバンドの状態を模式的に示す特性図。

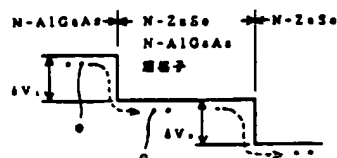
【符号の説明】

- 1 N型GaAs基板
- 2 N型AlGaAs膜
- 3 N型ZnSe-AlGaAs超格子層
- 4 II-VI族半導体膜
- 5 電極
- 6 電極
- 9 活性層
- 12 半導体N型層
- 13 半導体P型層
- 14 III-V族N型半導体層
- 21 P型GaAs基板
- 22 P型AlGaAs膜
- 23 P型ZnSe-AlGaAs超格子層
- 24 II-VI族半導体膜
- 25 電極
- 26 電極
- 32 半導体P型層
- 33 半導体N型層
- 34 III-V族N型半導体層
- 35 P型GaAs膜
- 36 P型InGaAs膜
- 37 P型AlGaAs膜

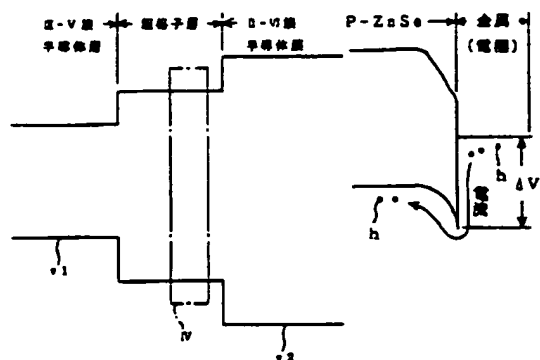
【図1】



【図5】

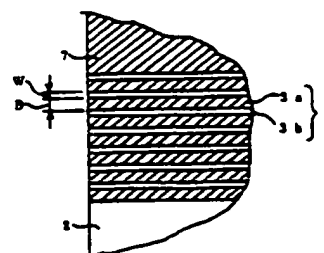


【図2】

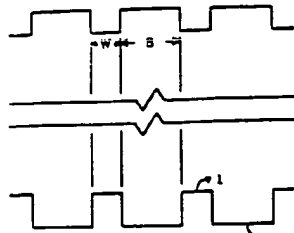


【図11】

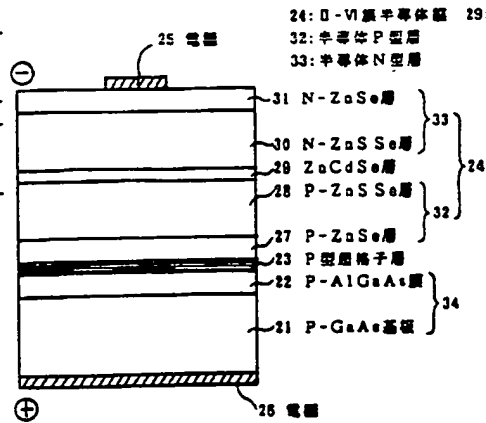
【図3】



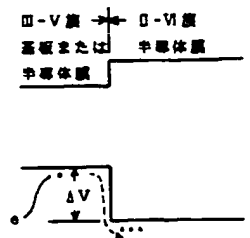
【図4】



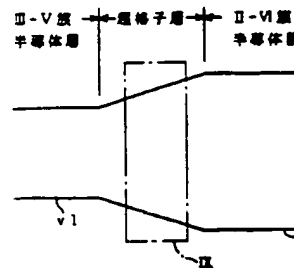
【図6】



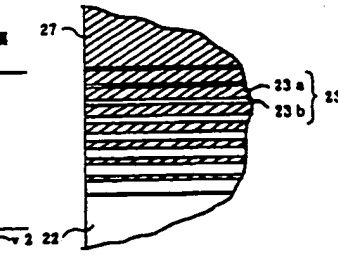
【図21】



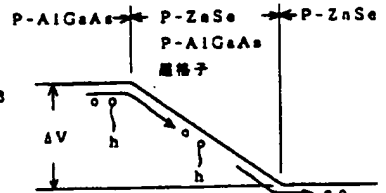
【図7】



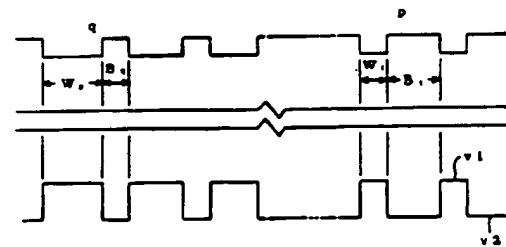
【図8】



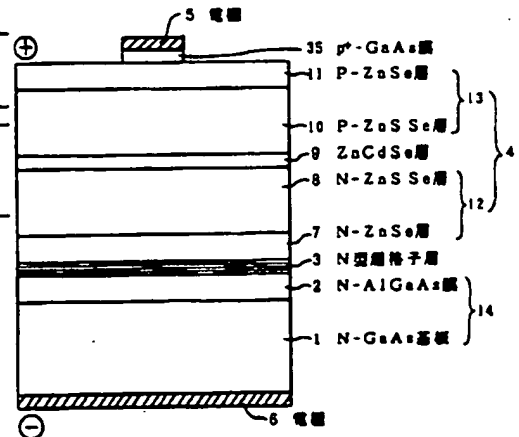
【図10】



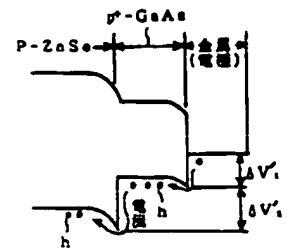
【図9】



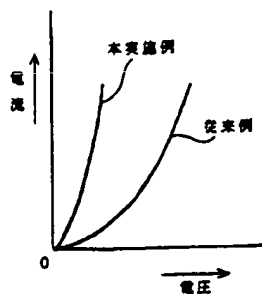
【図12】



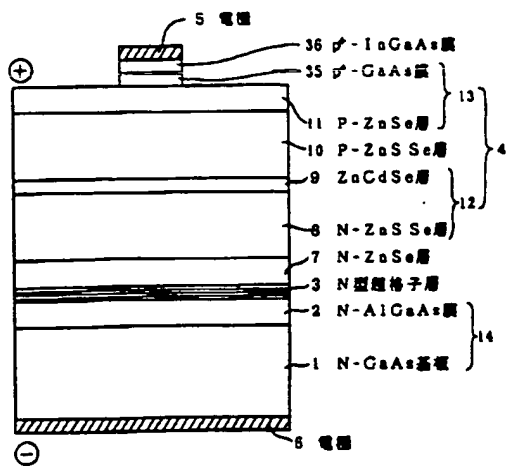
【図13】



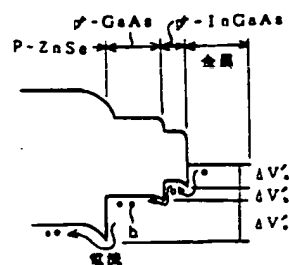
【図14】



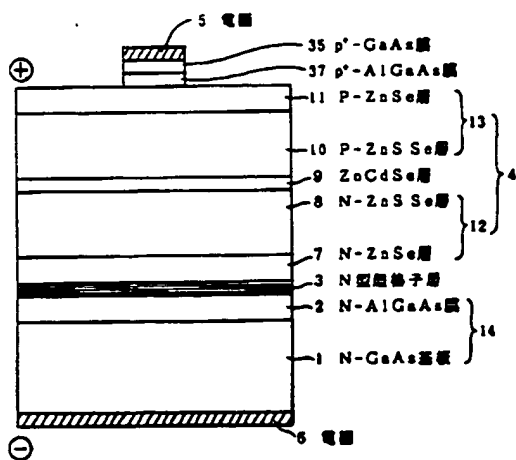
【図15】



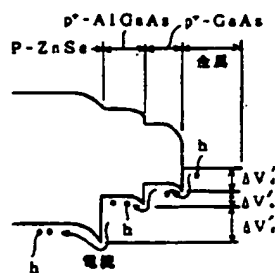
【図16】



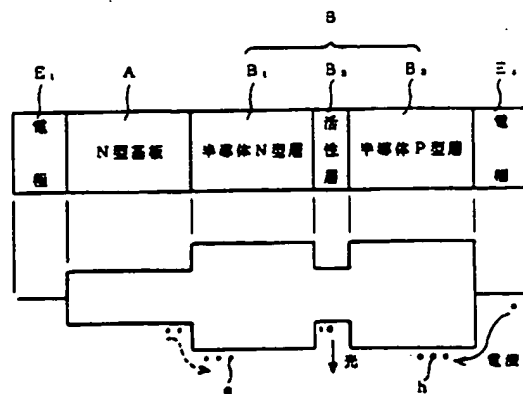
【図17】



【図18】



【図19】



【図20】

